



CC4044B 型四 3 态 R/S 锁存器

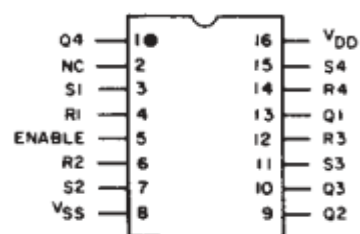
一、概述

CC4044B 是四交叉耦合 3 态 CMOS 与非锁存器。每个锁存器都有单独的 Q 输出和各自的 SET 和 RESET 输入，Q 输出受公共的 ENABLE 输入控制，ENABLE 输入上的逻辑“1”或高电平把锁存器的状态连接到 Q 输出端，而 ENABLE 输入上的逻辑“0”或低电平把锁存器的状态与 Q 输出端断开，结果导致输出端的开路状态，这种开路特性允许输出共用总线。

特点

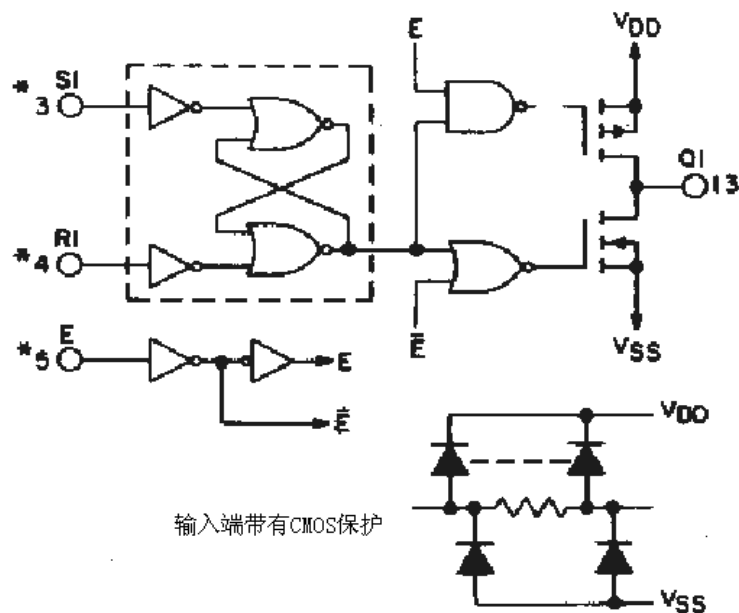
- 每个锁存器都有各自的置位 (SET) 和复位 (RESET) 输入
- 带有公共输出使能 (ENABLE) 的 3 态输出
- 与非组态
- 标准对称的输出特
- 20V 下的最大静态电流 100%测试
- 5-V, 10-V, 和 15-V 参数额定
- 在 18V 和 25°C 情况下的最大输入电流为 100nA

外引线排列图(俯视图)



DIP、CSOP 型

二、电路原理图



三、电特性

绝对最大额定值

直流电源电压 (V_{DD})



参照 V_{SS} 端: $-0.5V \sim +20V$

输入电压范围, 所有输入端 (V_I): $-0.5V \sim V_{DD} + 0.5V$

直流输入电流, 任意一个输入 (I_I): $\pm 10mA$

工作温度范围 (T_A): $-55^\circ C \sim +125^\circ C$

推荐工作条件

电源电压 (V_{DD}): $3V \sim 18V$

输入高电平电压 ($V_{IH}, \min$): $3.5V$ ($V_{DD}=5V$)

$7V$ ($V_{DD}=10V$)

$11V$ ($V_{DD}=15V$)

输入低电平电压 ($V_{IL}, \max$): $1.5V$ ($V_{DD}=5V$)

$3V$ ($V_{DD}=10V$)

$4V$ ($V_{DD}=15V$)

静态电参数

特 性	符号	测试条件			指定温度（℃）下的极限值							单位
		V ₀	V _{IN}	V _{DD}	-55	-40	25			85	125	
		(V)	(V)	(V)			最小	典型	最大			
静态器件电流 （最大）	I _{DD}	—	0, 5	5	1	1	—	0.02	1	30	30	μ A
		—	0, 10	10	2	2	—	0.02	2	60	60	
		—	0, 15	15	4	4	—	0.02	4	120	120	
		—	0, 20	20	20	20	—	0.04	20	600	600	
输出低电平 电压（最大）	V _{OL}	—	0, 5	5	0.05		—	0	0.05	0.05		V
		—	0, 10	10	0.05		—	0	0.05	0.05		
		—	0, 15	15	0.05		—	0	0.05	0.05		
输出高电平 电压（最小）	V _{OH}	—	0, 5	5	4.95		4.95	5	—	4.95		V
		—	0, 10	10	9.95		9.95	10	—	9.95		
		—	0, 15	15	14.95		14.95	15	—	14.95		
输出低时 吸入电流 （最小）	I _{OL}	0.4	0, 5	5	0.64	0.61	0.51	1	—	0.42	0.36	mA
		0.5	0, 10	10	1.6	1.5	1.3	2.6	—	1.1	0.9	
		1.5	0, 15	15	4.2	4	3.4	6.8	—	2.8	2.4	
输出高时 流出电流 （最小）	I _{OH}	4.6	0, 5	5	-0.64	-0.61	-0.51	-1	—	-0.42	-0.36	mA
		2.5	0, 5	5	-2	-1.8	-1.6	-3.2	—	-1.3	-1.15	
		9.5	0, 10	10	-1.6	-1.5	-1.3	-2.6	—	-1.1	-0.9	
		13.5	0, 15	15	-4.2	-4	-3.4	-6.8	—	-2.8	-2.4	
输入电流 （最大）	I _{IN}	—	0, 18	18	±0.1		—	±10 ⁻⁵	±0.1	±1		μ A
3 态输出漏 电流（最大）	I _{out}	0.18	0.18	18	±0.4		—	±10 ⁻⁴	±0.4	±12		μ A



动态电参数 (T_A=25℃, C_L=50pF, R_L=200kΩ, 输入信号 t_r、t_f=20ns)

特 性	符号	V _{DD}	规 范 值			单位
		(V)	最小	典型	最大	
传输延迟时间: (数据) SET 或 RESET 到 Q	t _{PHL}	5	—	150	300	ns
	t _{PLH}	10	—	70	140	
		15	—	50	100	
3 态传输延迟时间: (数据) ENABLE 到 Q	t _{PHZ}	5	—	115	230	ns
	t _{PZH}	10	—	55	110	
		15	—	40	80	
3 态传输延迟时间: (数据) ENABLE 到 Q	t _{PLZ}	5	—	90	180	ns
	t _{PZL}	10	—	35	100	
		15	—	40	70	
转换时间	t _{THL}	5	—	100	200	ns
	t _{TLH}	10	—	50	100	
		15	—	40	80	
最小 SET 或 RESET 脉宽	t _W	5	—	80	160	ns
		10	—	40	80	
		15	—	20	40	
输入电容	C _{IN}	任何输入	—	5	7.5	pF

四、典型测试线路图

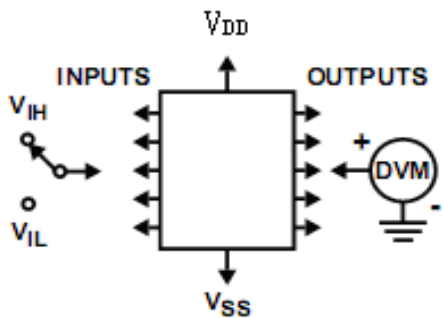


图 1 输入电压测试线路

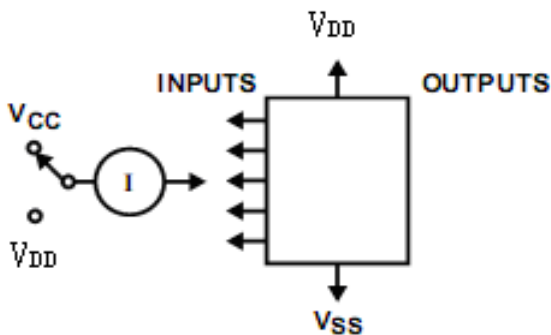


图 2 输入电流测试线路